

Автономни компютърни архитектури

Васил Георгиев, ФМИ 110

v.georgiev@fmi.uni-sofia.bg
is.fmi.uni-sofia.bg

Съдържание

1. Обща архитектура
2. Процесори
3. Памети и запамятаващи устройства
4. Паралелни и серийни комуникационни канали, USB
5. Периферни устройства – DMA, таймери, прекъсване
6. Аналогови интерфейси
7. Графични контролери

ВАС 3. Варадени компютърни архитектури

2

Класове ВАС

клас	нисък	среден	висок
процесор	8 битов	16 битов	32 битов
памет	до 16 КБ	64КБ – 1МБ	над 1 МБ
разработка	100 000 \$	1 000 000 \$	над 1 000 000 \$
изделие	10 \$	1000 \$	над 1000 \$
серийност	100	10 000	над 10 000
живот	месеци	години	дългосрочен
надеждност	допустими грешки	надеждни	недопустими грешки

ВАС 3. Варадени компютърни архитектури

3

Обща архитектура на ВАС

- Организация:
 - ♦ едночипови – микроконтролери/микрокомпютри (фиг. 2.4.1 – MC68HC705C4A, също i80188)
 - за прототипни или нискосерийни ВАС – EPROM/EEPROM в основния или допълнителен кристал, FLASH памети)
 - за средносерийни ВАС - отEPROM
 - за масови ВАС - ROM
 - ♦ разширени микроконтролери (фиг. 2.4.2)
 - ♦ базирани на системи с общо предназначение и стандартни модули (фиг. 2.4.3)

ВАС 3. Варадени компютърни архитектури

4

Процесори

- Използват се
 - ♦ остарели микропроцесори с общо предназначение – ниска цена (фиг. 2.5.)
 - ♦ специализирани автономни модели на базата на по-стари процесори – старата архитектура се комбинира с нова технология на печат и се допълва с периферни устройства – i80188/i80186
- Основни х-ки: дължина на процесорната дума, тактова честота, набор команди, адресация
- Програмен модел (регистров)
 - ♦ акумулатори – процесорен кеш за данни
 - ♦ адресни регистри
 - ♦ кеш за данни "index"
 - ♦ кеш за програма "program counter"
 - ♦ стеков сегмент
 - ♦ [побитови] регистри на състоянието

ВАС 3. Варадени компютърни архитектури

5

Генерации процесори

	8086	8088	80286	386SX	386DX	386SL	486DX2	Pentium	P++
адреси - b	20	20	24	24	32	24	32	32	
данни	16	8	16	16	23	16	32	64	
FPU	не	не	не	не	не	не	да	да	
MMU	не	не	да	да	да	да	да	да	
Cache	не	не	не	не	не	контрол	8К общ	8К ² + 8К ^{1P}	
обр. преходи	не	не	не	не	не	не	не	да – с cache	
TLB	не	не	не	не	не	не	не	да	
MHz	10	10	12	33	33	25	66	100	
бр.цикли / инстр.	12	12	5	5	5	5	1	0.5	
адресно простр.	1MB	1MB	16MB	16MB	4GB	16MB	4GB	4GB	
захр. V	5	5	5	5	5	3 или 5	3 и 5	3 и 5	

ВАС 3. Варадени компютърни архитектури

6

Процесори – допълнителни черти

- CISC/RISC
- Функционални копроцесори (в iXXX-SL/DX/SX и i80188)
- Скалярни/супрескалярни/супреконеверни
- Организация на cache
- DSP-процесори. Motorola DSP56000 (фиг. 2.7.1)
 - 24 битови думи
 - вътрешни интерфейси: 1 магистрала за код и 2 магистрали за данни, мултиплексирани към общ външен интерфейс
 - външен интерфейс: отделни магистрали за адреси и данни
 - вградени периферни контролери SSI/SCI/PIO
 - 2x56b акумулатора за 4 думи данни + 2B разширение (24b осигурява динамичен декодиране на 140 dB, 32b – на 330dB)
- Производителност, стойност на разработката и стойност на изделието (фиг. 2.7.2)

ВАС 3. Вградени компютърни
архитектури

7

Памети – технологии

- йерархия на паметта – параметри: тип носител, капацитет, цикъл на достъп (четене/запис), стойност и енергиен разход на бит
- електронни памети – консумация само по време на операция
 - EPROM/OTP/EEPROM – за фиксирани програми и данни – енергонезависими (напр. BIOS)
 - DRAM – енергонезависими, евтими (1 транзистор+кондензатор на бит) – опресняване – 3-4% от времето, висока плътност
 - SRAM – без опресняване, 1 триггер на бит, по-ниска плътност но по-бърз цикъл – 50-70nS; поддържат И с батерия
 - VRAM – двуходова DRAM за едновременно достъп на PU и видеоконтролера (чрез голям цикличен опресняван регистър за ред от дисплея)
 - flash – енергонезависими, електрически запис, плътност като RAM, цикъл запис ~mS – като на магнитен носител, цикъл четене ~100nS
- битова организация – матриците са с 1-4-8-16b дума
- проверка на думата – parity check – без корекция, забавя операции
- SIMM /DIMM – монтажни платки – напр. 256kb-1Mb-4Mb в думи по 8/9b, стандарти за PC – 32/36b данни (64b данни при DIMM)

ВАС 3. Вградени компютърни
архитектури

8

Памети – организация

- управление на паметта т.е. въвеждане на виртуални адреси – разделяне на гладкото адресно пространство (+забавяне на циклите за достъп) поради
 - йерархия на паметта
 - защитен достъп при многозадачна обработка
- сегментиране и странициране
 - страниците са с фиксиран размер от дума до размера на процесорния cache – грануларност – който е контекстнозависим и определя производителността, разход на памет при по-бърз цикъл (фиг. 2.9.1)
 - сегментите са с произволен размер но по-сложно управление – таблица със сегментните адреси – съотв. забавен достъп
- cache – размера опр. ускорение от 20-30%, нох. система да следи за присъствието на даден адрес/страница в cache
- логически и физически cache
- кохерентност на cache – write-through (по-бавен) и write-back (фиг. 2.9.2)

ВАС 3. Вградени компютърни
архитектури

9

Memory Type	Volatile ?	Writeable?	Erase Size	Erase Cycles	Relative Cost	Relative Speed
SRAM	yes	yes	byte	unlimited	expensive	fast
DRAM	yes	yes	byte	unlimited	moderate	moderate
Masked ROM	no	no	n/a	n/a	inexpensive	fast
PROM	no	once, with programmer	n/a	n/a	moderate	fast
EPROM	no	yes, with programmer	entire chip	limited (see specs)	moderate	fast
EEPROM	no	yes	byte	limited (see specs)	expensive	fast to read, slow to write
Flash	no	yes	sector	limited (see specs)	moderate	fast to read, slow to write
NVRAM	no	yes	byte	none	expensive	fast

ВАС 3. Вградени компютърни
архитектури

10

Паралелни и серийни комуникационни канали

- паралелни портове – за принтерни интерфейси, LED табла – състоят се от електронни двупосочни управляеми буфери с 3 състояния – 0, 1 и висок импеданс; приложими при къси дистанции без записваща и четяща логика с 2-3 управляващи сигнала, ниска скорост
- серийни портове – по-дълги разстояния, тъй като серийният сигнал се модулира и технически по-удобни интерфейси
 - базират се на shift-регистри в приемащия и предаващия модул – обикн. 8b, тактов сигнал и генериране на прекъсване при завършено серийно предаване на регистъра
 - обикновено с регистъра се асоциира буфер за по-рядко прекъсване на процесора
 - синхронно предаване – освен линията за данни има тактов сигнал, тип на операцията R/W
 - обикновено обмяна на байт се потвърждава чрез удвояване на периода на тактовия сигнал след 8b-тата от master и нулиране на линията за данни от slave
 - асинхронно предаване – тактовете и другите контроли се кодират в линията за данни чрез варианти на NRZ код – много по-големи разстояния, скорост и точност на предаването

ВАС 3. Вградени компютърни
архитектури

11

RS232, USB

- RS232 –
 - асинхронно серийно предаване по няколко паралелни канала за данни
 - специфицира физическия интерфейс но не и логическия протокол – обикновено посл. от до 3 старт-бита, 4 бита данни, евентуално контролен бит и до 3 стоп-бита
 - сигналите не са с TTL/CMOS нива – обикн. 12 – 15 V
- USB –
 - NRZ кодиране на сигнала (висока скорост и надеждност)
 - асиметричен протокол – различава инициатор – хост, който проверява периодически
 - поддържа няколко режима на предаване – контролен (за конфигурация на предаването); групови данни (високоскоростен); данни при прекъсване (по-бавен е надежден) и изосинхронен (за мултимедийни поточни данни с настройваеми характеристики)

ВАС 3. Вградени компютърни
архитектури

12

Таймери

- Таймерите са броячи на импулсите на кварцови осцилатори (вътрешни или системни), които генерират периодични събития при броене надолу от опр. стойност и нулиране
- основната им характеристика е разредността на брояча – т.е макс. период в тактове – 8-16-24b
- 8253 (в PC) – 3 независими брояча, осигуряващи няколко режима на работа
 - генериране на прекъсване след зададен веремеинтервал
 - генериране на периоди, кратни на основния такт
 - генериране на равномерни периоди
 - ...

ВАС 3. Варадени компютърни
архитектури

13

Специализирани таймери

- Таймерни процесори – специализирани микрокомпютри за генериране на сигнали-функции на няколко таймерни канали – напр. MC68322 – базиран на 68020/16MHz, сканира 16 таймерни канала с разделение до 250nS, функциите му се задават чрез настройка на 5B блок от параметри (от гл. процесор)
- таймери за реално време – осигуряват системата с реалното време (и дата) – MC146818/32kHz с кондензаторна батерия (обикн. външна)
 - освен регистър на РВ осигуряват и системен сигнал за ОС (1mS)
- Програмно реално време – програмно броене на таймерни периоди и отчитане на сек./мин...
 - енергозависими, неточни и необходимост от сверяване – VCR, uWO

ВАС 3. Варадени компютърни
архитектури

14

DMA

- за прозрачен обмен на данни между периферните устройства (напр. магнитни и оптични) и основната памет (или ОП-ОП) – алтернатива на сканирането или системата за прекъсване
- типове DMA: 1D/2D/3D - по броя адресни регистри с броячи; включват още:
 - A/D шина
 - заявка за заемане на шина към CPU
 - шина за периферните устройства с линии за селекция
 - линии за прекъсване на CPU при
 - завършено зареждане на ОП (готовност на данните и заявка за ново инициализиране)
 - грешка
- контролни регистри – source address (ПУ), base address (в ОП), count, bytes transferred, status

ВАС 3. Варадени компютърни
архитектури

15

Аналогови интерфейси – ADC/DAC

- ADC: периодично цифрово (т.е. дискретно, крайно-точно) отчитане на параметър на [електрически] сигнал
- осн. х-ки са периода на отчитане т.е. темпа и точността (резолюцията) – опр. заетата памет (табл. 2.15.1) и скоростта на конверсия – т.е. типа устройство
- теорема на Nyquist: при периодичните сигнали темпа трябва да е поне 2x честотата на сигнала – напр. HiFi (20kHz – 20kHz) → темп 40kHz
- некратните по-високи темпове (при периодичен сигнал!) се филтрират (т.е. излишно запълване на памет и ПУ-време)
- основна грешка в ADC-сигнала се въвежда от кванта; към нея от нерегулярност на темпа се наслагват сл. грешки (фиг. 2.15.2):
 - намаляващо отнемане при изпреварващо отчитане
 - нарастващо отнемане при закъсняващо отчитане
 - значителни смущения при произволно отнемане (jitter)
- фазова грешка – при регулярно закъснение на отчитането
- при DAC се извършва обратна конверсия, която отразява вече натрупаните грешки от ADC

ВАС 3. Варадени компютърни
архитектури

16

codec

- изпълнява двете конверсии по даден [фиксиран] алгоритъм
- линеен codec – запазва х-ките на сигнала – за цифровизиран звук; технологично се реализира като PCM (pulse code modulation codec) – възстановява аналоговия сигнал като последователност от квантувани пулсове
- DPCM – като PCM, но при кодирането се съхранява разликата спрямо предходната стойност на сигнала – (фиг. 2.16.1); може да осигури по-фина резолюция със същия бр. битове
- A/μ codec (логаритмичен, в телеком) – 300Hz-3kHz → темп ср. 8kHz, резолюция ср. 8b; тези х-ки са по-високи при бърза промяна на аналогови сигнал и по-ниски при бавна промяна; прекодирането от логаритмичен в линеен код е таблично
- декодиране при постояннотоккови устройства – светлини, двигатели и др. – фиг. 2.16.2

ВАС 3. Варадени компютърни
архитектури

17

Система за прекъсване

- алтернатива на сканиране на състоянието (polling)
- системни прекъсвания:
 - вътрешни – при интегрираните микрокомпютри – серийните и паралелните портове и др. периферия е вкл. в процесорния чип и се управлява чрез вътрешни прекъсвания
 - външни – от външната периферия дв. системата
 - програмни – смяна на режима от приложение към ОС и превключване на процеси
 - NMI – висок приоритет – напр. в PC при грешка по памет
- превключването на кода е като превключване между разл. процеси – евентуално със смяна на режима на процесора към защитен

ВАС 3. Варадени компютърни
архитектури

18

Графични периферни системи

- графични дисплеи, принтери и специализирани у-ва
 - ◆ базират се на двумерно пикселно представяне на изображенията, което е свързано с стандартни размери на матрицата и стандартно цифрово кодиране на всеки пиксел
 - ◆ други цифрови кодирания на изображение – напр. векторни – се представят след прекодиране
 - ◆ предимството на пикселното кодиране е бързото представяне на дисплеите, а на векторното – възможността за мащабиране
- дисплеите са
 - ◆ с катодна тръба (CRT),
 - ◆ с течен кристал (LCD),
 - ◆ с "плазмени" (инертно-газови) матрици (PDP)
 - ◆ ...

ВАС 3. Варадени компютърни
архитектури

19

CRT

- Cathode Ray Tube – електронно-лъчева тръба
 - ◆ активно тяло – светоактивен фосфор – луминофор
 - ◆ 1 или 3 (R/G/B) излъчващи с различна сила катода
 - ◆ хоризонтално и вертикално аналогово отклонение, което се квантува от броя индивидуални активиращи луминофора импулси в ред и от броя редове (вертикални стъпки)
 - ◆ стандартни честоти на опресняване на изображението са между 50 и 100 Hz
 - ◆ висока резолюция, бързодействие, яркост и ъгъл на обзор при ниска цена
 - ◆ висока консумация (~150 W за 1024/768 пиксела) и топло
 - ◆ използва се и при множество електронни устройства като осцилоскопи

ВАС 3. Варадени компютърни
архитектури

20

TFT LCD и PDP

- Thin Film Transistor Liquid Crystal Display
 - ◆ активното тяло е луминисцентна лампа, чията светлина се филтрира от матрица с течни кристали с контролирана прозрачност – фиг. 2.20.
 - ◆ контрола на яркостта се постига с с променлива прозрачност на течните кристали, които създават втори поляризиращ филтър
 - ◆ цвета пиксела се постига с RGB филтър от настройваеми транзистори – активна матрица
 - ◆ матрицата задава пределна резолюция – напр 1280x1024 пиксела, всеки от които се композира от 3 R/G/B филм транзистора
 - ◆ опресняването има значение не за графиката на статичното изображение, а за анимацията – обикн. 60Hz
- Plasma Display Panels – подобни на LCD, но пикселите се състоят от микроскопични прозрачни балони с инертен газ (неон или ксеон), които светят с различна яркост и цвят под действието на двойка електроди
 - ◆ консумацията е сходна с тази на CRT

ВАС 3. Варадени компютърни
архитектури

21